

甚低功耗 15Ms/s 逐次逼近型 ADC 的设计实现

贺 炜

(西安邮电学院 电子与信息工程系, 陕西 西安 710121)

摘 要: 采用一种新颖的甚低功耗 SAR ADC 结构技术, 基于 SMIC 0.18 μm CMOS 工艺, 设计实现了一个 8bit、15Ms/s SAR ADC 的芯片电路. 该 ADC 利用电荷分享技术实现数据的采样/保持和逐次逼近转换过程, 同时采用了异步时序控制技术代替传统的同步时序控制方式, 对 SAR 控制逻辑进行优化设计, 使其在功耗和速度方面都达到优良的性能. 仿真结果显示该 ADC 能在 15Ms/s 的采样率下正常工作, 平均功耗仅为 518 μW , 整体性能优值 FOM 值达到了 0.18pJ/Conv, 远低于传统结构.

关键词: A/D 转换器; 逐次逼近; 甚低功耗; 异步控制技术

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2010)02-0075-05

Design of Ultra-low Power 15Ms/s SAR ADC

HE Wei

(Electronic and Information Department, Xi'an Institute of Post and Telecommunications, Xi'an 710121, China)

Abstract: The analog-to-digital converters of low power-consumption are playing more and more important roles in designing SOC and micro-controllers at present. Based on new ultra-low power SAR ADC architecture, an 8bit, 15Msps SAR ADC is implemented in SMIC 0.18 μm CMOS process. Instead of traditional active charge redistribution, the method of passive charge sharing is used to both sample the input signal and to perform the binary-scaled feedback during the successive approximation, an asynchronous SAR controller is implemented and optimizes the control logic. The simulation shows that the ADC works very well at the sampling rate of 15Msps, and consumes only 518 μW in total. The FOM of the ADC is 0.18pJ/Conv, which is much lower than traditional SAR ADC.

Key words: A/D converter; low power; successive approximation register; asynchronous control

1 引言

通信及多媒体技术的迅速发展使得高速、高精度、低功耗的 A/D 转换器设计成为国内外研究的热点, 而逐次逼近型 (Successive Approximation Register, SAR) A/D 转换器是中等到高分辨率应用的常见结构. 与其他类型的 A/D 转换器相比, SAR ADC 具有功耗低, 面积小, 输出数据不存在流水延时等优点^[1-2], 而且其制造工艺与 CMOS 工艺兼容性好, 易于在较低的工艺成本下实现. 它作为嵌入式模数转换器与其他功能模块集成, 广泛应用于现代超大规模集成电路与片上系统 (SOC). SAR ADC 的另一个特点是其功耗随采样速率而改变, 这对于低功耗应

用或者不需要连续采集数据的应用非常有利, 因而被广泛应用于移动和便携设备、电池供电仪表、工业控制和数据采集系统中, 近年来, SAR ADC 越来越广泛地应用于生物医学仪器中^[3].

文中设计实现了一种基于电荷分享技术的新型 SAR ADC 结构, 并采用异步时序控制技术代替传统同步时序控制技术进行 SAR ADC 时序逻辑控制模块的设计, 在提高 ADC 转换速率的同时, 也进一步降低了功耗, 实现功耗和速度的折衷. 该结构将进一步解决数字和数模混合系统中动态 A/D 转换器低功耗、高速、高精度与低成本之间的矛盾, 同时为 SAR ADC 在甚低功耗场合应用奠定基础.

2 系统结构原理与实现

2.1 系统结构

区别于传统逐次逼近型 ADC 的设计技术,文中设计的 ADC 采用无源器件电荷分享的方法,实现数据的采样/保持,和逐次逼近转换过程.这种结构不仅能够大大降低系统所需的功耗,而且还可以在速度方面得到很大的提高.整个 ADC 包括采样/保持、二进制权重电容阵列、动态比较器、SAR 控制逻辑四个部分,系统结构如图 1 所示.图 2 为按二进制权重分布电容充电阵列.

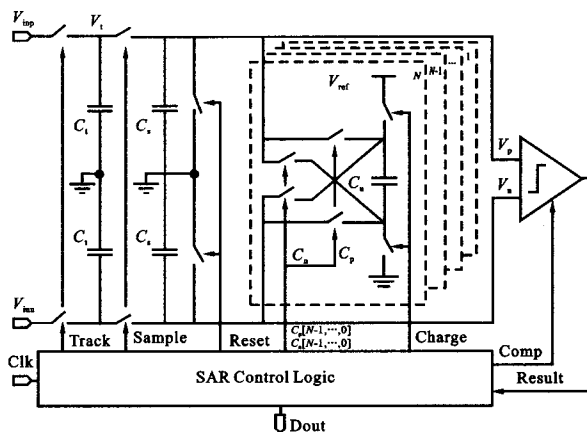


图 1 SAR ADC 系统结构

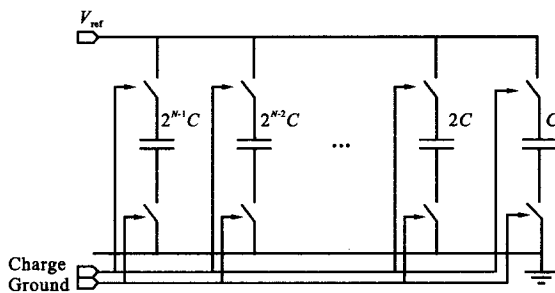


图 2 电容预充电阵列

整个逐次逼近工作过程如下:

① 放电,在采样之前通过复位开关对采样电容进行放电处理,消除采样电容上的电荷.

② 采样和预充电,跟踪/保持电路对输入信号进行采样,并以电荷形式储存于采样电容中,此时,采样电容上储存的电荷量为(假设 $C_s = C_t$):

$$Q_s = \frac{1}{4} C_s \cdot (V_{in} - V_{inn}) = \frac{1}{4} C_s \cdot V_{in} \quad (1)$$

同时基准电压完成对二进制权重电容阵列的充电过程,在充电完毕后,断开充电开关,则每个电容贮存有按二进制权重分布的电荷量:

$$Q_{N-1} = 2^{N-1} C \cdot V_{ref}; Q_{N-2} = 2^{N-2} C \cdot V_{ref}; \dots, \dots \quad (2)$$

③ 比较和电荷分享过程,在采样与预充电完成后启动比较器,假设比较器输入端电压分别为 V_p 、 V_n ,通过比较采样电容两端电压的高低,决定充电阵列电容与采样电容以相同极性连接还是反之,实现电荷分享,同时输出数字码.为了决定 MSB,在采样 V_{in} 后,比较器比较 $V_p[N]$ 与 $V_n[N]$ 的大小,依据比较器输出结果决定最高位电容与采样电容的接法,则总电荷变为如式(3)所示:

$$Q_{total} = \frac{1}{4} C_s \cdot V_{in} + b_{N-1} 2^{N-1} C \cdot V_{ref} \quad (3)$$

其中

$$b_{N-1} = \begin{cases} 1 & V_p[N] < V_n[N] \\ -1 & V_p[N] > V_n[N] \end{cases}$$

通过电荷的重新分配抵消部分电荷,稳定后 V_p 与 V_n 的电压差变为

$$V_p[N-1] - V_n[N-1] = \frac{Q_{total}}{(\frac{1}{2} C_s + 2^{N-1} C)} \quad (4)$$

然后再次启动比较器,输出数字编码 MSB,同时决定下一个电容的接法,进入下一个转换过程.

在阵列电容按顺序逐次接入后,总电荷数将趋于零,如式(5)所示.整个转换过程完成后, V_p 与 V_n 最终将相等并收敛于一个固定电压值,转换时序如图 3 所示.

$$Q_{total} = \frac{1}{4} C_s \cdot V_{in} + b_{N-1} 2^{N-1} C \cdot V_{ref} + b_{N-2} 2^{N-2} C \cdot V_{ref} + \dots + b_0 C \cdot V_{ref} \quad (5)$$

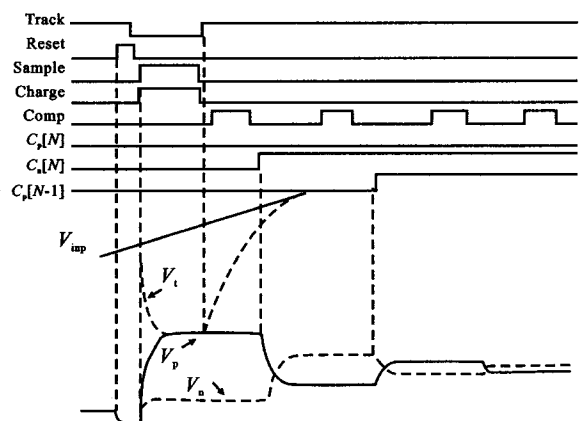


图 3 转换时序图

从整个 ADC 的结构设计中可以看出,采样过程和转换过程都工作在电荷域内,避免了使用运放等有源器件,大大节省了功耗.比较器采用时钟控制的动态比较器,能够较快地完成比较过程,同时进一步降低功耗.在时序控制方式上采用异步时序控制,避

免使用高速时钟信号,节省功耗的同时也降低了该 ADC 对高速时钟信号的严格要求.整个转换器除了比较器和数字控制逻辑需要消耗一定功率外,其他部分几乎不需要功耗,从而能够满足甚低功耗的设计要求.

采用电荷分享的方式进行采样,前端跟踪电容有足够的建立时间用于跟踪信号,后端采样电容速度仅受采样开关的导通电阻和电容值影响,避免了由于建立时间而带来的采样速度问题.该采样/保持电路不仅结构简单,功耗低,而且可以节省采样时间.转换过程采用预先充电、电荷分享等工作方式,也是对传统结构一个很好的创新和改进,实现转换速度的提升.因此该 ADC 结构在速度方面也能够获得很好的性能.

2.2 异步时序控制技术

传统逐次逼近型 ADC 通常采用同步时序控制方式实现转换过程,在同步时钟下,需要多个时钟周期才能完成一次数据转换,如图 4 所示,整个转换分为采样/保持和转换过程,在时钟控制下,完成 MSB 到 LSB 的逐次逼近.

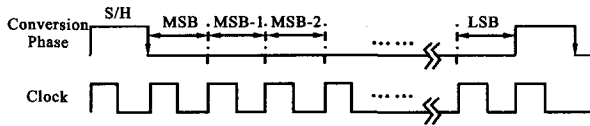


图 4 SAR ADC 同步时序转换过程

在同步控制方式下,对于一个采样率为 F_s 、分辨率为 N 位的 SAR ADC 来说,完成一个转换过程的时钟频率至少需要 $(N+1)F_s$.这在传统低速 ADC 中可以较容易实现,但随着转换速率的提高,它将上升为重要的考虑因素,比如一个 100Ms/s 的 8 位 ADC 需要至少 900MHz 的时钟频率,产生这一高速时钟并需要恰当的时钟分布网络,它消耗的功率可能远远要大于 A/D 转换器本身.再从转换速度方面考虑,在 MSB 到 LSB 的转换过程中,最坏情况下的数据转换将决定 ADC 全局的时钟速度,而且每个转换周期需要考虑时钟抖动等问题,这些因素都会降低转换速率,并对时钟产生电路提出严格的设计要求.

因此,由于高速时钟的应用,同步时序控制方式受功耗和速度的限制,在甚低功耗设计中,它是不可取的.采用异步控制方式可以避免高速时钟,在功耗和速度两个方面都可以得到很好的改善.在全局上,仍然用统一时钟信号进行数据采样、结果输出等过程,异步时序控制方式主要应用于内部的数据转换过程,通过检测前一位数据转换的完成,触发下一

位数据开始转换,就像多米诺骨牌一样,实现整个数据的转换过程,如图 5 所示.

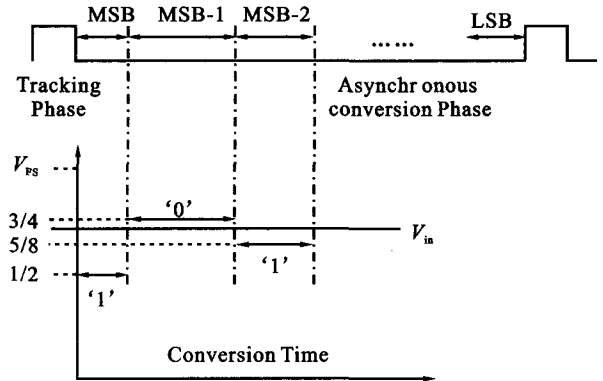


图 5 SAR ADC 异步时序转换过程

输入信号与参考电压的差值将决定比较器的建立时间.比如,典型再生锁存器的建立时间 (T_{cmp}) 与输入电压差 (V_{res}) 的关系为^[4]

$$T_{cmp} = \frac{\tau}{A_0 - 1} \cdot \ln \frac{V_{FS}}{V_{res}} = K \cdot \ln \frac{V_{FS}}{V_{res}} \quad (6)$$

式中, A_0 表示比较器内部放大器的小信号增益, τ 表示锁存输出级的时间常数, V_{FS} 表示逻辑输出摆幅.尽管随着比较器结构的不同,建立时间与输入电压差的关系会有所区别,但用式(6)表示的再生锁存器模型给出了一个很好的直觉:建立时间依赖于输入电压差,电压差越大,建立时间越小.通过异步时序控制方式,给每个转换过程安排最恰当的转换时间,这样就可以消除同步时序控制带来的时间浪费问题,从而提高转换速度.对于一个 N 位 A/D 转换器,同步和异步控制所需转换时间可以用式(7)、(8)表示.

$$T_{sync} = N \cdot K \cdot \ln \frac{V_{FS}}{V_{min}} \quad (7)$$

$$T_{async} = \sum_{i=0}^{N-1} K \cdot \ln \frac{V_{FS}}{V_{res}[i]} \quad (8)$$

式中, $V_{res}[i]$ 表示第 i 次转换过程中比较器输入电压, V_{min} 表示最小输入电压,通常由 LSB 决定.

从上面两个公式中很明显可以看出,异步时序控制需要更少的转换时间,因为整个转换过程只有一次 $V_{res}[i]$, $V_i \in [0, N-1]$ 接近 LSB.节省时间的多少与数据转换器位数和 $V_{res}[i]$ 曲线有关,而 $V_{res}[i]$ 与输入电压又有直接关系.在极端情形下,1 位数据转换器采用异步控制方式不会表现出更加优越的性能,因为比较器建立时间同样受最坏情况约束.只有当位数增加, $V_{res}[i]$ 分布在各个范围时才表现出优越性, V_{res} 范围越大,转换效率将越高.通过式(8)的分析可知,当输入全量程时为最好情况,

此时 $V_{res}[i]$ 简单地可以表示为 $V_{FS}/2, V_{FS}/4, V_{FS}/8, \dots, V_{FS}/2^N$ (假设为二进制逐次逼近算法), 如果 $V_{LSB} = V_{FS}/2^N$, 异步控制与同步控制转换时间比值为如下:

$$\begin{aligned} \frac{T_{sync}}{T_{sync}} &= \frac{\ln \frac{V_{FS}}{2^{N-1} V_{LSB}} + \ln \frac{V_{FS}}{2^{N-2} V_{LSB}} + \dots + \ln \frac{V_{FS}}{2 V_{LSB}} + \ln \frac{V_{FS}}{V_{LSB}}}{N \cdot \ln \frac{V_{FS}}{V_{LSB}/2}} \\ &= \frac{\ln 2 + 2\ln 2 + \dots + (N-1)\ln 2 + N\ln 2}{N(N+1)\ln 2} = \frac{1}{2} \end{aligned} \quad (9)$$

从式(9)可以看出,在最好的情况下,异步时序控制大约可以节省一半的转换时间,转换速度将近提高了一倍。

3 电路仿真

文中 SAR ADC 的电路设计基于 SMIC 0.18 μ m CMOS 工艺,采用 Spectre 进行仿真分析,其核心性能参数为分辨率为 8 位,采样率 15Ms/s,全差分输入信号,输入范围为 0~1.2V,电源电压为 1.5V。

在 ADC 的输入端接入频率为 1MHz 的正弦波,进行瞬态扫描,仿真该 ADC 的转换过程,ADC 时钟频率为 15MHz,转换一个周期大约需要 67ns。转换过程中,采样电容两端电压的变化曲线如图 6 所示,采样电容在采样完成后,在逐次逼近控制逻辑的控制下,与充电电容阵列逐个相接,最终两端电容趋于固定电压值,完成转换过程,该仿真波形验证了这一结论的正确性^[4-5]。

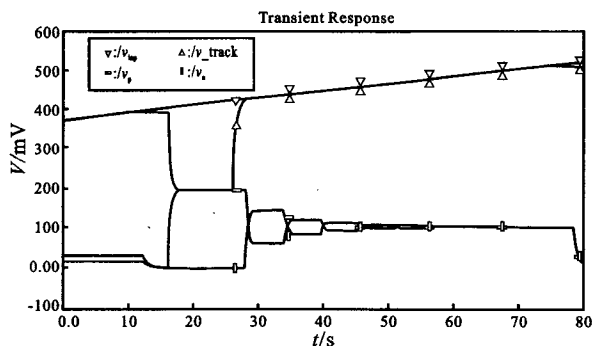


图 6 比较器输入端电压仿真波形

比较器在信号控制下,逐次启动工作,每次转换完成后产生一个异或信号,如图 7 所示。out+, out- 分别为比较器输出的正相端和反相端,从图 7 中可以看出,转换输出的数字码应该为 101010100。

在采样率为 15Ms/s,输入信号为频率为 1.2077MHz 的全幅值正弦波的情况下,将 ADC 的仿

真数据导入到 Matlab 中,进行 FFT 变换处理,其频谱曲线如图 8 所示。通过适当的计算就可以得出各个频域参数,该 ADC 的 SNR 为 47.9dB, SINAD 为 47.8dB, SFDR 为 68.9dB。

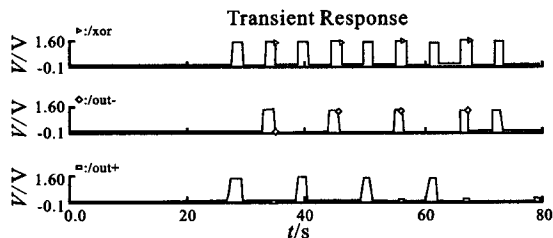


图 7 比较器输出仿真波形

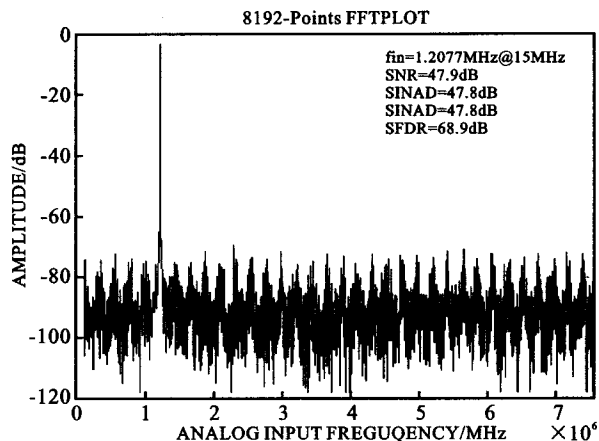


图 8 ADC 的输出 FFT 频谱

4 功耗及性能分析

在 ADC 的输入端接入模拟信号,瞬态扫描其转换过程,进行功耗特性的分析,通过计算可得平均电流为 300 μ A,电源电压为 1.5V,所以从电源获得的平均功耗为 450 μ W,因为基准电压对电容阵列需要有一个充电过程,也会消耗一定的功率,其平均功耗为 68 μ W。因此,整个 ADC 核心电路的平均功耗为 518 μ W,这远远低于传统逐次逼近型 ADC 的功耗,达到了甚低功耗的设计要求。

该 ADC 的总功耗为 518 μ W,各个模块电路功耗分布如表 1 所示。从比例上可以看出,数字电路部分为该 ADC 功耗的主要来源,通过优化和低功耗设计数字单元电路,可以进一步降低整个 ADC 的功耗。通过计算可得,文中所设计的 SAR ADC 的 FOM 值为

$$\begin{aligned} \text{FOM}_{\text{SAR}} &= \frac{\text{Power}}{2^{\text{ENOB}} \cdot f_{\text{sample}}} \\ &= \frac{518 \mu\text{W}}{2^{7.6} \cdot 15\text{MHz}} \\ &= 0.18 \text{pJ/Conv} \end{aligned}$$

表 1 ADC 功耗分析

电路模块	功耗/ μ W	占总功耗比例/%
数字部分	321	62
比较器	129	25
充电阵列	68	13

为了进一步说明该新型 SAR ADC 的结构优势,下面将其与传统 SAR ADC 的设计进行比较分析,如表 2 所示.

表 2 ADC 的性能比较

	文献[6]	文献[7]	文献[8]	本设计
工艺	0.25 μ m CMOS	0.5 μ m SOS	0.35 μ m CMOS	0.18 μ m CMOS
电源电压	1.5V	3.3V	3.3V	1.5~1.8V
精度	10bit	8bit	10bit	8bit
时钟频率	7MHz	32MHz	240MHz	15MHz
采样率	500ks/s	1.23Ms/s	20Ms/s	15Ms/s
ENOB	9.5bit	7.9bit	9.7bit	7.6bit
功耗	1mW	800 μ W	25.4mW	518 μ W
FOM	2.8pJ/Conv	2.7pJ/Conv	1.5pJ/Conv	0.18pJ/Conv

从表 2 中可以看出,文献中 SAR ADC 都是采用传统的同步时序控制技术进行逐次逼近控制逻辑的设计,其时钟频率远远高于 ADC 的采样速率.文献[6-7]中虽然实现了较低的功耗,但采样率很低,而文献[8]中实现了较高的采样率,然而其功耗也随之增加了,这都造成了它们的 FOM 值都较高.文中基于异步时序控制技术设计的 SAR ADC 不仅在功耗上具有较大优势,其采样速率也得到了很大的提高,因此其 FOM 值远远低于传统 SAR ADC 结构,实现了优良的综合性能.

5 结束语

文中采用一种基于电荷分享的 SAR ADC 结构技术,实现了甚低功耗的 SAR ADC 设计,采用异步时序控制技术代替传统同步时序控制技术进行 SAR 时序逻辑控制,在提高 ADC 转换速率的同时,也避免了高速时钟信号,进一步降低了功耗.文中所设计的甚低功耗 SAR ADC 结构新颖,实现简单,而且在速度方面也突破了传统 SAR ADC,这不仅扩展了 SAR ADC 的应用范围和场合,而且对于 ADC 的甚低功耗设计具有一定的实践意义.

参考文献:

[1] 范兵,王东辉,刘岩,等. 一种开环流水线 A/D 转换器的系统仿真[J]. 微电子学与计算机,2008, 25(4): 148 - 151.

[2] 殷湛,郭立,杨吉庆. 一种用于流水线 ADC 的高速电压比较器[J]. 微电子学与计算机, 2006, 23(2): 182 - 184.

[3] Sauerbrey J, Schmitt - Landsiedel D, Thewes R. A 0.5V 1 μ W successive approximation ADC[J]. IEEE J. Solid - State Circuits, 2003, 38(7): 1261 - 1265.

[4] Shuo Wei Chen. Power efficient system and A/D converter design for ultra - wideband radio[D]. Berkeley: University of California, 2006.

[5] Sandner C, Clara M, Santner A, et al. A 6bit, 1.2GS/s low power flash ADC in 0.13/ μ m digital CMOS[J]. Design, Automation and Test, 2005(3): 223 - 226.

[6] Jaejin Park, Ho Jin Park, Jae - Whui Kim. A 1mW 10 - bit 500KSPS SAR A/D Converter[J]. IEEE International Symposium on Circuits and Systems, 2000(5): 581 - 584.

[7] Eugenio Culurciello, Andreas G. Andreou. An 8bit 800 μ W 1.23MS/s successive approximation ADC in SOI CMOS [J]. IEEE transactions on circuits and systems, 2006, 53(9): 858 - 861.

[8] Khosrov Dabbagh - Sadeghipour, Khayrollah Hadidi, Abdollah Khoei. A new successive approximation architecture for high - speed low - power ADCs[J]. International Journal of Electronics and Communications, 2006(60): 217 - 223.

作者简介:

贺 炜 男,(1968 -),硕士.研究方向为电子工程、信号系统及微电子学.